



[12] 发 明 专 利 说 明 书

[21] ZL 专利号 95101449.8

[45] 授权公告日 2004 年 6 月 23 日

[11] 授权公告号 CN 1154907C

[22] 申请日 1995.1.28 [21] 申请号 95101449.8

[30] 优先权

[32] 1994. 2. 2 [33] KR [31] 1919/1994

[71] 专利权人 三星电子株式会社

地址 韩国京畿道

[72] 发明人 郑貳和

审查员 张 蕾

[74] 专利代理机构 中国国际贸易促进委员会专利
商标事务所

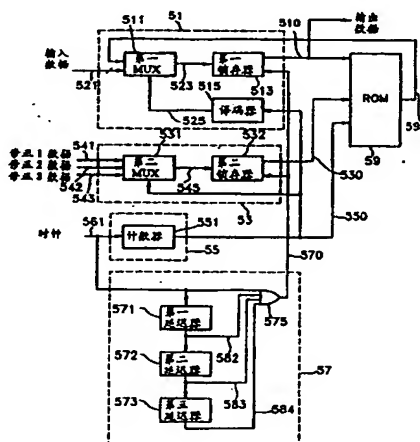
代理人 范本国

权利要求书 2 页 说明书 10 页 附图 6 页

[54] 发明名称 数据转换装置

[57] 摘要

本发明涉及一种利用单一存储装置中所存放的众多 LUT 来转换数据的数据转换装置，涉及一种顺序地参考两个或多个 LUT、根据输入数据和每个 LUT 所选转换级来产生转换的输出数据的数据转换装置，该数据转换装置包括一个用于按块单元形式存放两个或更多 LUT 的单一存储装置，该 LUT 的数量对应于数据转换模式的数量，每个块包括众多子 LUT，该子 LUT 的数量对应于在每个相应的转换模式中定义的转换级的数量。



ISSN 1008-4274

1. 一种用于产生根据输入数据和转换级进行转换的输出数据的数据输出装置, 所述转换级是顺序地参考两个或更多个 LUT 后由 LUT 所选择的, 所述数据转换装置包括:

一个用于根据数据转换模式的数量按块单元形式将两个或更多个 LUT 存放起来的单一存储装置, 所述每个块包括众多子块, 所述子块的数量对应于每个相应的转换模式内所定义转换级的数量; 以及

一种根据在每个转换模式中所选转换级数据和自输入数据中选出的数据和自所述存储装置读取的输出数据来产生用于访问所述存储装置的地址的地址发生器, 对应于存放在所述存储装置中的 LUT 数量, 所述地址即重复这么多次地加以产生。

2. 根据权利要求 1 的数据转换装置, 其中所述地址发生器包括:

一个用于产生第一地址的第一地址发生器, 所述第一地址用于顺序地在所述存储装置中选择一个 LUT;

一个用于产生第二地址的第二地址发生器, 所述第二地址用于根据在转换模式中为所述所选 LUT 而选择的转换级来选择一个子 LUT;

一个第三地址发生器,用于接收输入数据和由所述存储装置读取的输出数据,和当所述输入数据按照第一转换模式转换时用于按照所述输入数据产生为选择转换数据用的第三地址,和当所述输入数据按其他转换模式转换时用于按照从所述存储装置读取的输出数据来选择转换数据;以及

一个同步信号发生器,用于将所述产生的第一、第二和第三地址加以同步,以便在所述存储装置内访问数据。

数据转换装置

本发明涉及一种按照用户要求将诸如图象数据或声音数据那样的输入数据加以转换的数据转换装置,更具体地是涉及一种采用许多查询表(LUT)来转换数据的数据转换装置,这些查询表(LUT)包括对应于输入数据的转换数据。

在例如彩色打印机或传真机那样的常用图象输出装置中,当使用 LUT 来对图象质量例如亮度、对比度或斜度进行补偿时,用于对由每个补偿模式所定义的每个图象质量进行补偿的那些 LUT 必须存储在离散型 ROM 中。例如,当图象质量由三种补偿模式进行补偿时,需要三个存储装置来存储三种 LUT。

图 1 中的框图显示了在常用彩色打印机中使用 LUT 的数据转换装置。第一、第二和第三 ROM12、14 和 16 是用于为每一种转换模式存放 LUT 数据的存储装置。第一、第二和第三锁存器 11、13 和 15 将输入到每个锁存器的数据加以锁存,以便根据时钟信号输出所锁存数据。第一和第二延迟器 17 和 18 产生延迟的时钟信号,用于控制连接至每个 ROM 输出端的锁存器 13 和 15。

当输入数据 101 周期地输入时,第一锁存器将输入数据 101 锁存并根据时钟信号 110 将所锁存数据输出至第一 ROM12。从第一锁存器 11 输出的数据 102 变为第一 ROM12 中的低地址。第一修正数据 107 根据存放在第一 ROM12 中的 LUT 来确定转换级,并变为第一 ROM12 中的高低址。也即,同时访问第一 ROM12 的地址包括一个低地址和一个高地址,该低地址就是第一锁存器 11 的输出数据 102,该高地址就是第一修正数据 107。第一 ROM12 的输出数据 103 是由第一 LUT 根据输入数据 101 和第一修正数据 107 进行转换后所得数据。

第一延迟器 17 将时钟信号 110 延迟的时间正等于第一 ROM12 的输入和输出间的时间延迟,所产生的延迟时钟信号 111 输出至第二锁存器 13。连接至第一 ROM12 的一个输出端的第二锁存器 13 根据延迟的时钟信号 111 将自第一 ROM12 输出的锁存数据 103 输出至第二 ROM14。用于访问第二 ROM14 的地址包括一个低地址和一个高地址,该低地址就是第二锁存器 13 的输出数据 104,而该高地址就是第二修正数据 108。自第二 ROM14 输出的数据 105 是由第二 LUT 根据第二修正数据 108 和由第一 LUT 第一次转换所得的数据 104 而进行第二次转换所得的数据。

第二延迟器 18、第三锁存器 15 和第三 ROM16 如上所述地进行操作。于是,由第三 LUT 根据第二次转换所得数据 106 和第三修正数据 109 进行第三次转换所得的数据 113 就最后输出了。

第一、第二和第三修正数据 107、108 和 109 以及存放于第一、第二和第三 ROM12、14 和 16 中的 LUT 之间的关系可如下解释。第一修正数据根据第一 LUT 的转换模式来确定转换级,并通常由用户给出。例如,如输入数据是 8 位图象数据,存放在第一 ROM12 中的第一 LUT 是用于控制图象的亮度级,和亮度级可分四级控制,则输入数据的数量为 $2^8=256$,也即为 0 到 255,第一 LUT 包括 256 个字节(256×8 位)按级划分的数据,和第一修正数据包括 2 位,这代表四级。

图 2A 至图 2C 描述了常用数据转换装置中使用的 ROM 的数据结构。每个 LUT 可按照每个转换模式的四个级别对数据进行补偿,和每个 ROM 的存储容量分成四个区域,以及对应于每一级的转换数据存放在每个划分开的区域中。

如上所描述,常用数据转换装置将 ROM 串连起来,ROM 的数量等于所需 LUT 的数量,该装置顺序地读取存放在每个 ROM 中的 LUT 数据,就这样完成数据转换。一般说来,包括在 ROM 的外部控制线路中的众多装置可缩小体积成为一个单芯片,例如 ASIC,但用于存储 LUT 的 ROM 并不包括在 ASIC 内,这是考虑到必要时会修改 ROM 内容。

因此,缩小装置体积是受到限制的,同时所需硬件的体积和制造费用将增加,因为对应于根据转换模式的种类的 LUT 数量增加时,就需增加存储装置。

因此,本发明的一个目的是提供一种数据转换装置,它用来将许多用于转换数据的 *LUT* 存放在单一的存储装置中。

为达到上述目的,提供了一种数据转换装置,用于顺序地参照两个或更多 *LUT* 并对应于输入数据和由每个 *LUT* 选定的转换级来产生转换后的数据输出,数据转换装置包括:

用于根据数据转换模式的数量将两个或更多个 *LUT* 按块单元形式存储的单一存储装置,每个块包括对应于由每个相应的转换模式所定义的转换级的数量的那么多的子 *LUT*;以及

用于产生供下列数据访问存储装置用的地址的地址发生器,这些数据是输入数据、从自存储装置读出的输出数据中选择的数据、以及用于在每个转换模式中选择转换级的数据,存储在存储装置中的 *LUT* 有多少个,就重复地产生多少次地址。

本发明的上述目的和其他优点在参照附图详细地描述一个最佳实施例后将变得更清楚,附图中有:

图 1 是显示常用数据转换装置的组成的框图;

图 2A 至图 2C 是图 1 所示 *ROM* 的数据结构图;

图 3 是本发明所使用 *ROM* 的数据结构图;

图 4 是本发明的数据转换装置的框图;

图 5 是图 4 所示数据转换装置的详细框图;以及

图 6A 至图 6I 是用于解释图 5 所示的数据转换装置的操作的时序图。

图3是本发明所使用ROM的数据结构图。

存储装置的整个存储容量划分成块,块的数量等同于转换模式种类所需LUT的数量,每个划分的块的存储容量再根据相应的LUT的转换级的数量划分成子块。根据相应的转换模式和转换级,转换数据存放在划分的块和子块内。

本发明实施例的情况是:输入数据是由八位组成的图象数据,每个LUT由转换模式(例如,亮度,对比度等)所决定,用于控制图象质量,在每个转换模式内图象质量可由四个转换级来控制。

在应用本发明时,如果输入数据的位数、转换模式的种类和转换级的数量和本发明实施例的数值不同,则存储装置的块和子块的存储容量可以恰当地加以划分。此外,如果每个LUT所占用的存储容量不同,则每个LUT所用存储块可划分为相同容量,或者为了有效利用存储容量,也可以不等地划分,在最后一情况中,由于存储容量的不等地组成而造成的数据访问中的问题应予以考虑解决。

还有,存储装置中存放的LUT数据包括可能使用本发明的装置所需要的不同转换数据,例如,声音或温度补偿数据以及图象补偿数据。

图4是本发明的数据转换装置的框图。该数据转换装置包括一个用于按图3所示形式存放众多LUT的ROM49,一个用于产生为根据转换模式顺序地选择LUT而用的第一地址453的第一地址发生器45,一个用于产生为根据转换级选择LUT中的子块而用的第

二地址 433 的第二地址发生器 43, 其中 *LUT* 由第一地址 453 所选择, 一个用于产生为在由第一和第二地址 453 和 433 所选择的子块中选择转换数据而用的第三地址 413 的第三地址发生器 41, 以及一个用于产生为使输入到 ROM49 的第一、第二和第三地址 453、433 和 413 得到同步的同步信号 473 的同步控制器 47。

时钟信号 451 是一个脉冲信号, 其周期等于单一输入数据 411 的输入和经过存放在 ROM49 内的所有 *LUT* 的转换最后所得数据输出之间的时间间隔。时钟信号 451 和输入数据 411 保持同步, 并输入到第一地址发生器 45 和同步控制器 47, 以便使地址 453、433 和 413 保持同步来访问 ROM49。

第一地址发生器 45 接收时钟信号 451 并产生第一地址 453, 用于顺序地选择存储在 ROM49 中的所需 *LUT*。根据用于确定由每个 *LUT* 定义的转换级的修正数据 431, 第二地址发生器 43 产生第二地址 433, 用于在由第一地址 453 选择的 *LUT* 中选择子块。第三地址发生器 41 接收输入数据 411 和反馈的输出数据 493, 并产生第三地址 413, 用于在所选子块内选择转换数据。换言之, 当数据由第一 *LUT* 转换时, 输入数据 411 用于产生第三地址 413, 而在其他情况下反馈输出数据用于产生第三地址 413。因此, 用于访问 ROM49 的数据的地址具有第一、第二和第三地址 453、433 和 413 的顺序。

图 5 是图 4 所示数据转换装置的详细框图。本实施例的情况是有三个 *LUT* 存放在 ROM59 中。

第一地址发生器 55 包括一个计数器 551,后者用于在输入时钟信号 561 的一个周期内产生四个脉冲。所产生的信号输出到 ROM59,第二 MUX531 和译码器 515。

第二地址发生器 53 包括一个第二 MXU531 和一个第二锁存器 532,该第二 MUX531 具有一个三至一的多路转换器,用于根据自计数器 551 输入的脉冲信号 550 来在修正数据 541、542 和 543 的三种类型中选择一个并将它输出,该第二锁存器用于将自第二 MUX531 输出的数据 545 加以锁存,并根据同步信号 570 将所锁存数据输出至 ROM59。

第三地址发生器 51 包括一个译码器 515、一个第一 MUX511 和一个第一锁存器 513,该译码器用于根据自计数器 551 输入的脉冲信号 550 产生用于控制第一 MUX511 的信号 525,该第一 MUX 由一个二至一多路转换器组成,其中输入数据 521 和反馈输出数据 590 被输入,用于根据自译码器 515 产生的控制信号 525 来选择输入信号 521 和 590 中的一个并加以输出,以及该第一锁存器 513 用于将自第一 MUX511 输出的数据 523 加以锁存,并根据同步信号 570 将所锁存数据输出至 ROM59。

同步控制器 57 包括第一、第二和第三延迟器 571、572 和 573 以及一个或门 575,该第一、第二和第三延迟器 571、572 和 573 用于输出延迟的时钟信号 561,后者延迟的时间决定于 ROM59 的数据访问时间,该或门 575 用于对时钟信号 561 和延迟信号 582、583 和

584 完成逻辑或操作,从而产生同步信号 570。所产生同步信号 570 输入到第二地址发生器 53 的第二锁存器 532 和第三地址发生器 51 的第一锁存器 513。

图 6A 至图 6I 解释了图 5 所示数据转换装置的操作时序。该装置的操作将根据时序和参照图 5 所参考数字来加以解释。

图 6 解释了时钟信号 561 的波形,6B 解释了输入数据信号 521 的波形,6C 解释了同步信号 570 的波形,6D 解释了自计数器 551 输出的第一地址信号 550 的波形,6E 解释了自第一锁存器 513 输出的第三地址信号 510 的波形,6F 解释了自第二锁存器 532 输出的第二地址信号 530 的波形,6G 解释了第一延迟器 571 的输出信号 582 的波形,6H 解释了第二延迟器 572 的输出信号 583 的波形,和 6I 解释了第三延迟器 573 的输出信号 584 的波形。

将时钟信号 561 和第一、第二和第三延迟信号 582、583 和 584 进行逻辑或操作,即可产生同步信号 570,其中第一、第二和第三延迟信号 582、583 和 584 相对于时钟信号 561 延迟一个预定的时间值。在输入数据信号 521 的一个周期内产生四个脉冲,后者用于和 ROM59 的地址输入进行同步。

同步信号 570 的第一个周期中的操作解释如下。计数器 551 输出第一地址信号 550,后者用于根据时钟信号来访问 ROM59 的第一 LUT。第二 MUT531 对应于第一 LUT 的转换级来选择第一修正数据 541 并将所选数据输出至第二锁存器 532。所锁存的数据作为第

二地址信号 530 加以输出,用于访问 ROM59。译码器 515 产生一个控制信号,后者使第一 MUX511 来选择输入数据 521,而第一 MUX511 是根据译码器 515 的控制信号来选择输入数据 521 的,它并将结果输出给第一锁存器 513,而所锁存数据作为第三地址信号加以输出,用于访问 ROM59。因此,ROM59 的第一 LUT 的数据由第一、第二和第三地址信号 550、530 和 510 进行访问,同时输入数据由第一 LUT 加以转换,第一次转换所得的数据再反馈回去并输入至第一 MUX511。

同步信号 570 的第二周期中的操作可解释如下。计数器 551 输出第一地址信号 550,用于根据时钟信号对 ROM59 的第二 LUT 进行访问。第二 MUX531 对应于第二 LUT 的转换级来选择第二修正数据 542,并将所选数据输出至第二锁存器 532,所锁存数据作为第二地址信号加以输出,用于访问 ROM59。译码器 515 产生一个使第一 MUX511 选择反馈的第一次转换所得数据 590 的控制信号,而第一 MUX511 是根据译码器 515 的控制信号来选择反馈的第一次转换所得数据 590,并将结果输出至第一锁存器 513,而所锁存数据作为第三地址信号输出,用于访问 ROM59。因此,ROM59 的第二 LUT 的数据由第一、第二和第三地址信号 550、530 和 510 进行访问,以及反馈的第一次转换所得数据由第二 LUT 加以转换,同时第二次转换所得数据反馈回来并输入至第一 MUX511。

同步信号的第三周期中的操作和同步信号第二周期中的操作是

一样的。*ROM59* 的第三 *LUT* 的数据由第一、第二和第三地址信号 550、530 和 510 进行访问,和反馈的第二次转换数据由第三 *LUT* 进行转换,而第三次转换所得数据反馈回来并输入到第一 *MUT511*。

在同步信号的第四个周期中,第一 *MUX511* 选择反馈的第三次转换所得数据 590 并将所选择数据输出至第一锁存器 513。所锁存数据即作为最后转换所得数据 510 加以输出。

根据本发明,在一个时钟周期内,输入数据顺序地由全部 *LUT* 加以转换,因而产生最后的输出数据。相应地,当用于数据转换的 *LUT* 数量增加时,输出数据即反馈回来以便通过全部 *LUT* 来转换数据。因此,时钟周期与 *ROM* 的延迟时间成比例地增加。然而,这个问题可通过减小 *ROM* 的访问时间来解决。

如上所描述,众多的 *LUT* 存放在一个单个的存储装置内,并提供了一个采用存储装置的数据转换装置,因而可通过减小存储装置的体积来缩小数据转换装置的尺寸。

图 1 (前技术)

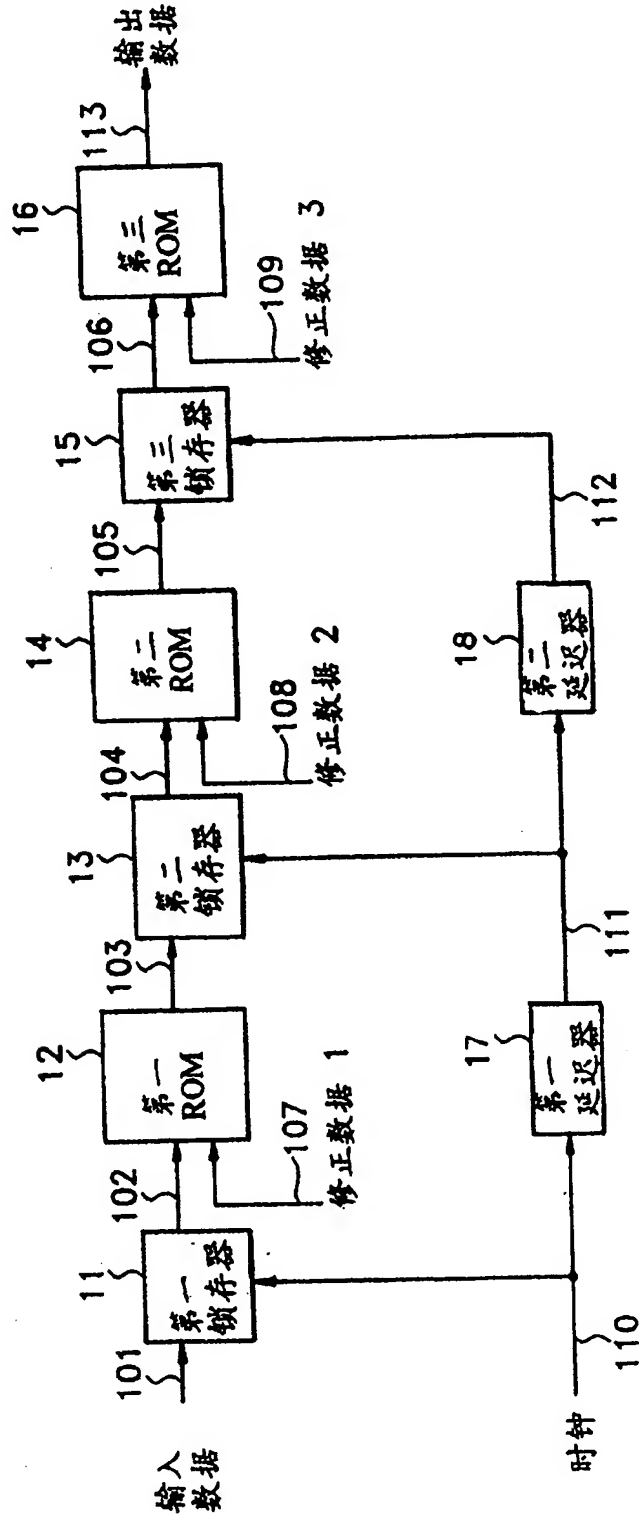


图 2A (前技术)

256 字节(修正)1;0)
256 字节(修正)1;1)
256 字节(修正)1;2)
256 字节(修正)1;3)
⋮

图 2B (前技术)

256 字节(修正)2;0)
256 字节(修正)2;1)
256 字节(修正)2;2)
256 字节(修正)2;3)
⋮

图 2C (前技术)

256 字节(修正)3;0)
256 字节(修正)3;1)
256 字节(修正)3;2)
256 字节(修正)3;3)
⋮

图 3

256 字节(修正)1:0)	}	第一 LUT
256 字节(修正)1:1)		
256 字节(修正)1:2)		
256 字节(修正)1:3)		
256 字节(修正)2:0)	}	第二 LUT
256 字节(修正)2:1)		
256 字节(修正)2:2)		
256 字节(修正)2:3)		
256 字节(修正)3:0)	}	第三 LUT
256 字节(修正)3:1)		
256 字节(修正)3:2)		
256 字节(修正)3:3)		
·		
·		
·		

图4

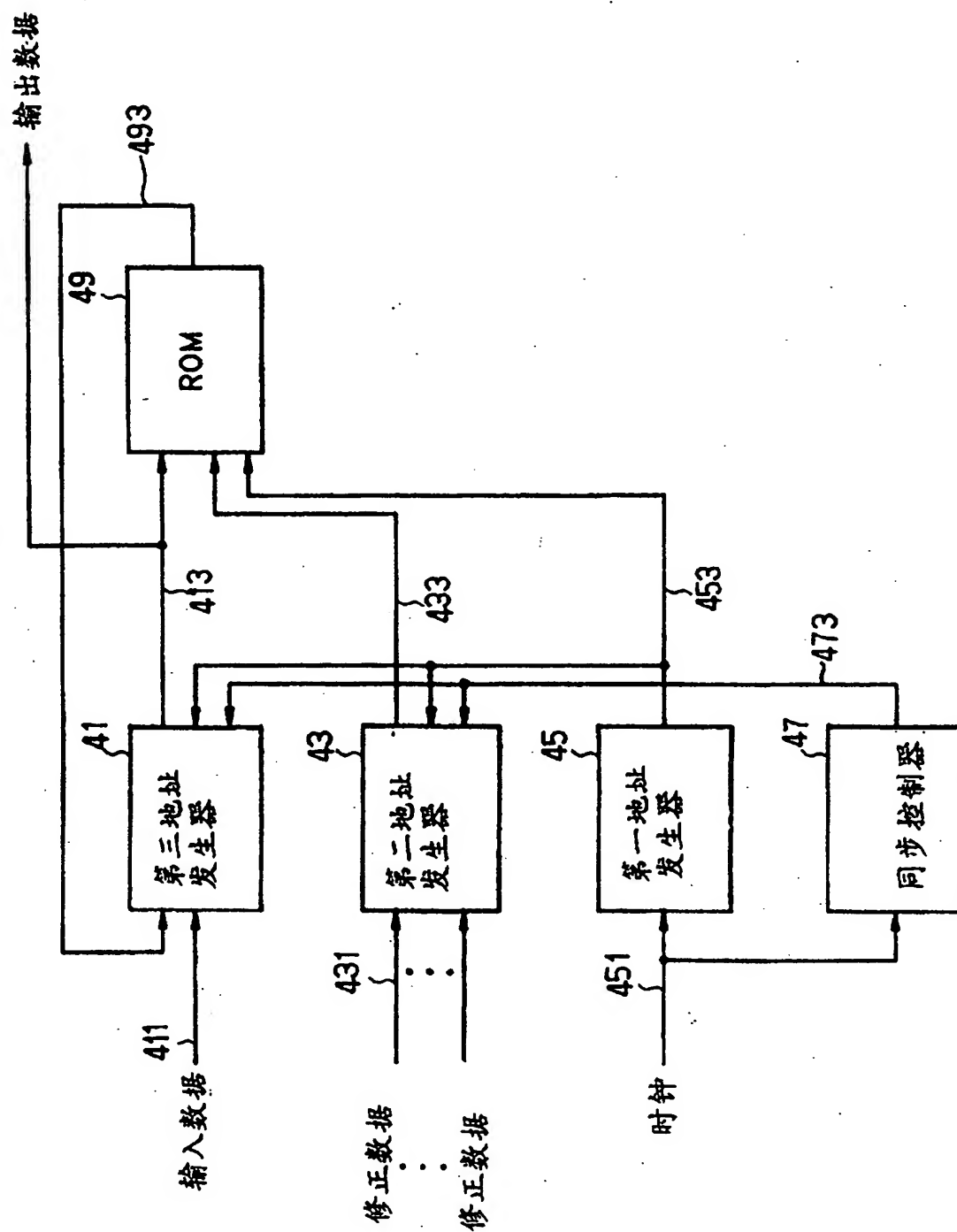
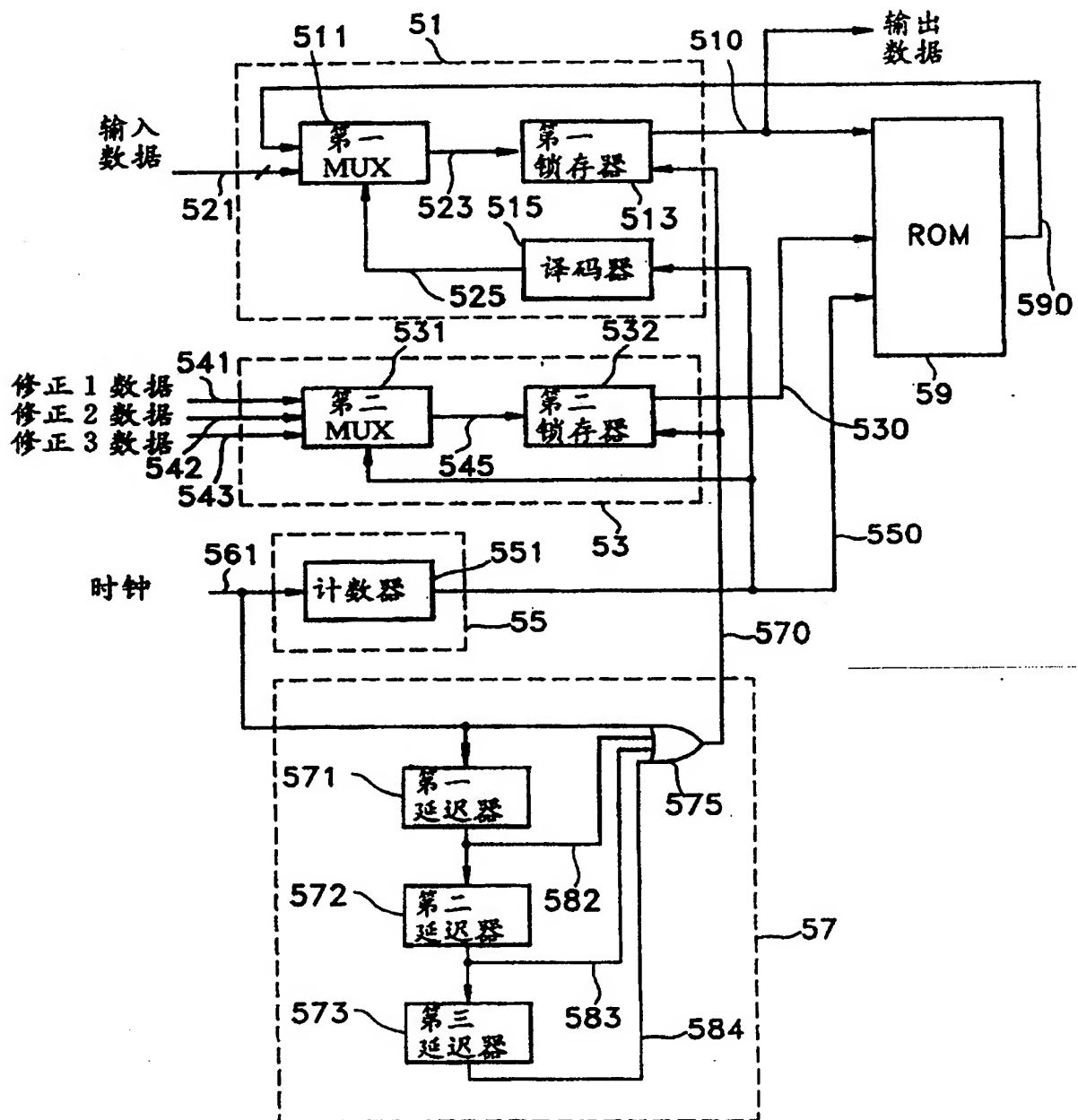
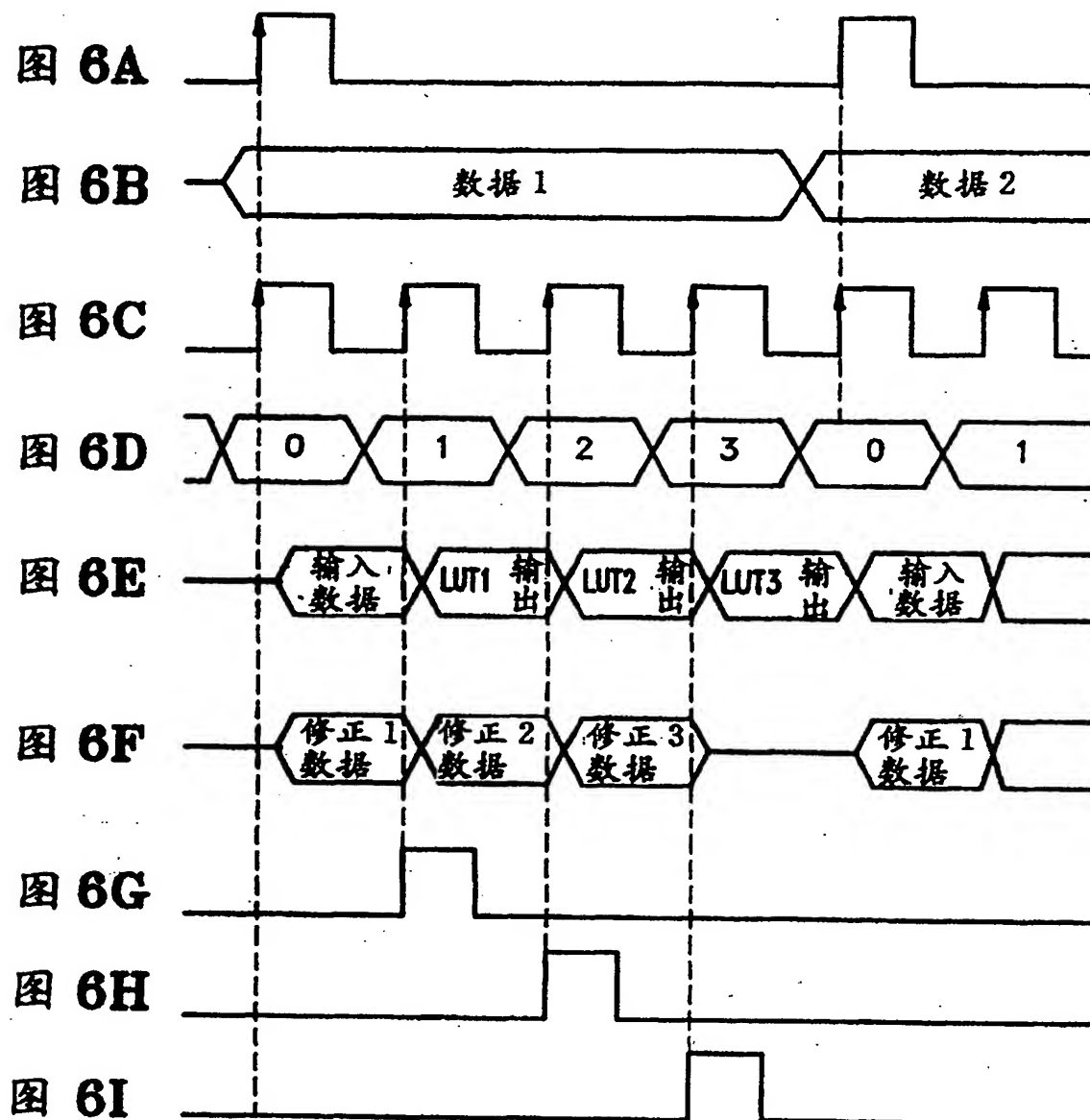


图 5





THIS PAGE BLANK (USPTO)